

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—190064

⑪ Int. Cl.³
H 01 L 29/78
21/88
23/30
27/10

識別記号

庁内整理番号
7514—5F
6810—5F
7738—5F
6655—5F

⑬ 公開 昭和58年(1983)11月5日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体集積回路

⑮ 特 願 昭57—71232

⑯ 出 願 昭57(1982)4月30日

⑰ 発 明 者 沢瀬照美

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑱ 発 明 者 中村英夫

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体集積回路

特許請求の範囲

1. 素子 (MOSFET など) 上に Al (アルミニウム) 層を形成し、光の入射を防止したことを特徴とする半導体集積回路。
2. P-N 接合上に電位を固定した Al 層を形成し、光の入射を防止したことを特徴とする第1項の半導体集積回路。
3. P-N 接合上にソースまたはドレインとなる拡散層に接続した Al 層を形成し、光の入射を防止したことを特徴とする第1項の半導体集積回路。

発明の詳細な説明

本発明は EPROM オンチップ LSI に係り、特に P-N 接合への光の入射によるリーク特性を改善するのに好適な LSI の形成法に関する。

MOSFET はゲートのオフ状態のインピーダンスが高いことから、第1図に示すような、配線上の容量をメモリ素子とする回路が従来からよく

使用されている。しかし、紫外線等で消去できるメモリ (以下 EPROM) を内蔵する LSI チップにおいては、LSI 表面が外光にさらされるために、MOSFET の拡散層と基板との間の接合面で多量のリーク電流を発生する。このため、メモリ素子として十分な記憶保持特性を得ることができない欠点があつた。

通常の LSI のパッケージは光を完全に遮へいする構造になつており、光の入射による特性の悪化はなかつた。EPROM オンチップ LSI においては、EPROM のデータ消去は紫外線でおこなうため、パッケージ上部は透明物質でおおわれており、特性悪化を防止するためにはチップを部分的に光から遮へいする必要がある。

本発明の目的は MOSFET の拡散層領域への光の入射を防止し、P-N 接合のリーク特性を改善することにある。

このため、本発明では、情報記憶用に用いる MOSFET の拡散層の上部に金属電極を設けた。通常の LSI のパッケージは光を完全に遮へい

する構造になつており、光入射による特性の悪化は問題とはならなかつた。EPROMオンチップLSIにおいては光によるデータ消去の必要性上パッケージ上部が透明物質でおおわれており、特性悪化を防止するためにLSIチップを部分的に光から遮へいするようにした。

以下、本発明の実施例をEPROM(Erasable Programmable ROM)オンチップ半導体集積回路において実施した場合について述べる。

EPROMオンチップ半導体集積回路は、EPROMに記憶されているデータを光によつて消去するため、透明パッケージに実装されている。

第1図に本実施例で述べるMOSFETで構成したラインメモリ(配線容量などにデータを記憶保持するメモリ)の回路図を示す。MOSFET1の入力電極3から入力されたデータは1がオンしている期間に1のソース拡散層4、インバータ2の入力ゲート5、および4～5間の配線容量の総和6に伝搬され、1がオフするとデータは6に記憶保持される。しかし4と基板から成るP-N接

(3)

入射を防ぎ、10-16の接合でのリーク電流の増加を防止することができる。

本実施例によれば、リーク特性の悪化を防ぐとともに、拡散層10の容量は15に対する容量も付加され、記憶保持するための総容量が増えることになり、さらに記憶特性を改善する効果がある。

実施例2

第3図は実施例1において、拡散層10の上部に形成するA₁15を10自身に結合して10と同電位にした場合の縦構造を示す。光に対する効果は実施例1と同様であるが、拡散層10の容量は15を形成しても増加しない。従つて記憶保持するための容量は増加せず、高速動作を必要とする場合に効果がある。

以上の二実施例はNチャンネルMOSについて示したが、PチャンネルMOSおよびそれらを組合わせた回路についても同様の効果がある。

上記実施例はラインメモリを構成する場合について示したが、他に微小電流を扱かうアナログ回路等の接合面からのリーク電流の防止方法として

(5)

合7に透明パッケージを介して光が入射すると光エネルギーにより7のリーク電流(P-N接合の逆方向飽和電流)が増加し、6に蓄えられた電荷は徐々に失なわれることになる。

実施例1

第2図は第1図の回路において本発明を実施した例のMOSFETの縦構造を示したものである。ドレイン拡散層8、ゲート9、ソース拡散層10から成るMOSFET(第1図の1)の入力電極A₁(アルミニウム)11から入力されたデータは10、インバータのゲート酸化膜20から成る入力ゲート12(第1図の5)および10～12間の配線13の容量に記憶保持される。本発明では電荷を記憶保持するために寄与している拡散層10の上部に、配線のA₁11と同時に形成したA₁15を電源などの固定した電位に接続して配置することにより、透明パッケージ14を透過して入射した光は透明な保護膜19を通過したのち、A₁層15の表面で反射するため、10と基板16から成るP-N接合(第1図の7)への光の

(4)

も有効である。

本発明によれば、P-N接合への光の入射を遮断できるので、光によるP-N接合の逆方向飽和電流の増加を防止する効果がある。

光の遮断面となるアルミ層15は従来のMOSFET形成における配線用のアルミ層11の形成と同時に行なうことができ、プロセスの増加を必要としない。またアルミ層15は拡散層10に重なる形に形成するために、LSI形成上、面積の増加等の問題は生じない。

図面の簡単な説明

第1図は配線容量を記憶素子として用いるメモリ(ライン・メモリ)の回路図である。

第2図はA₁を固定電位にした場合の第1図の回路のMOSFET縦構造である。

第3図はA₁を拡散層に結合した場合の第1図の回路のMOSFET縦構造である。

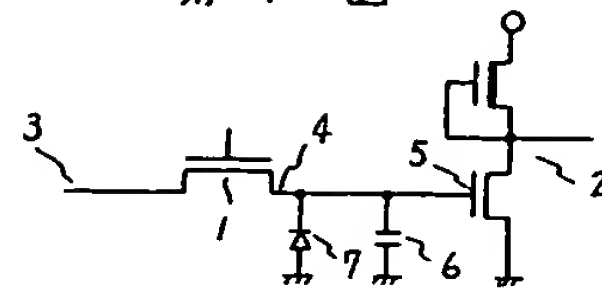
1…入力MOSFET、2…インバータ、3…入力電極、4…ソース電極、5…入力ゲート、6…配線容量、7…P-N接合、8…ドレイン拡散層、

(6)

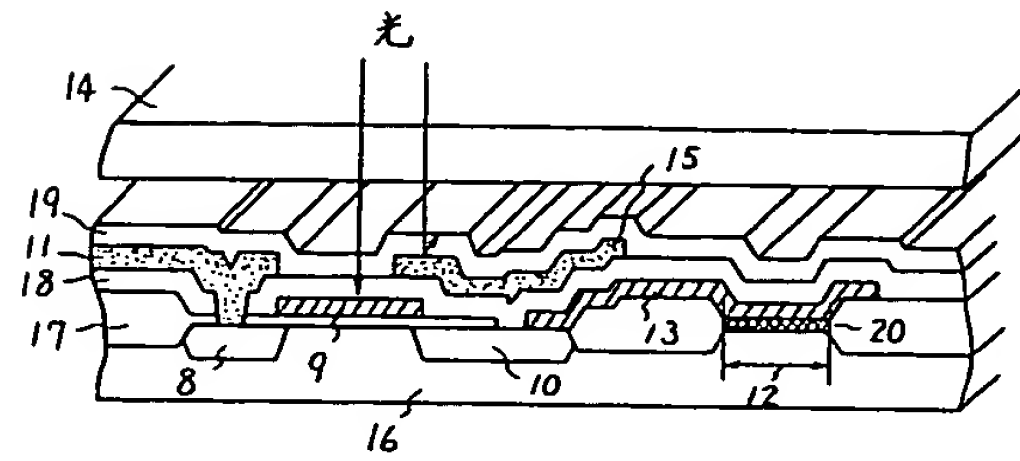
9…ゲート電極、10…ソース拡散層、11…入力A₁電極、12…インバータの入力ゲート、
13…入力MOSFETとインバータ間の配線、14…透明パッケージ、15…光遮へい用A₁、
16…基板、17…酸化膜、18…透明絶縁膜、
19…透明保護膜、20…ゲート酸化膜。

代理人 弁理士 海田利幸

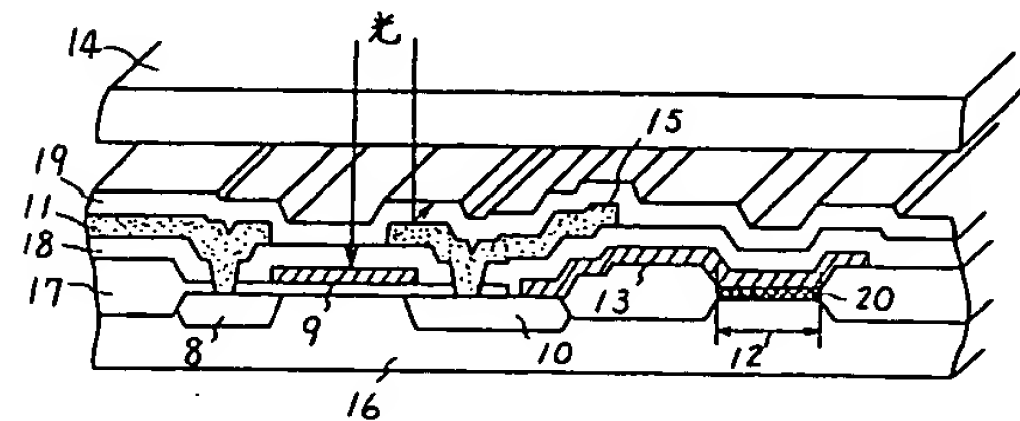
第1図



第2図



第3図



(7)

BEST AVAILABLE COPY